

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(1) Japanese Patent Application Laid-Open No. 9-23009 (1997):
"METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE"
The following is an extract relevant to the present application.

An object of the invention disclosed in the above reference is to provide a semiconductor device capable of easily and effectively preventing an end portion of a gate electrode from being rounded or narrowed, and a method of manufacturing the semiconductor device. To achieve this object, as shown in Figs. 5 and 6, the width of the gate electrode at its end portion in the direction of a channel is set greater than that of the gate electrode located on the active area in the direction of the channel.

(1)日本特許庁 (JP)

(2) 公開特許公報 (A)

(3)特許出願公開番号

特開平9-23009

(4)公開日 平成9年(1997)1月31日

(5)Int.Cl*	登録記号	序内登録記号	FI	技術表示箇所
H01L 29/78			H01L 29/78	801P
21/336			C23Y 1/00	102
C23P 1/00	102		H01L 29/40	Z
H01L 21/027			21/30	602Z
29/60				

特許請求 未請求 開示要の数7 OL (合3頁)

(2)出願番号 特願平7-221574	(7)出願人 株式会社リコー 東京都大田区中馬込1丁目3番6号
(2)出願日 平成7年(1995)6月30日	(7)発明者 谷川 智郎 東京都大田区中馬込1丁目3番6号 株式会社リコー内
(3)優先権主張番号 特願平7-107659	(7)発明者 川島 伊久輔 東京都大田区中馬込1丁目3番6号 株式会社リコー内
(3)優先日 平7(1995)5月1日	(7)発明者 村上 明美 東京都大田区中馬込1丁目3番6号 株式会社リコー内
(3)優先権主張国 日本 (JP)	(7)代理人 弁護士 黒居 卓

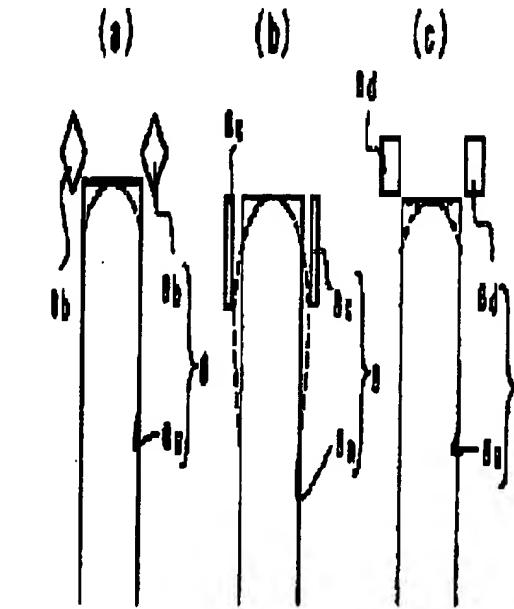
最後頁に続く

(6)【発明の名稱】 半導体装置の製造方法

(67)【要約】

【課題】 リソグラフィ、露光照射系、レジスト、マスク技術、或いはマスクパターン設計技術によらずに、簡易且つ効果的にゲート電極端部の丸まりや縫りを抑制し、微細化および高信頼性が期待できる半導体装置の製造方法を提供する。

【解決手段】 素子分離膜面上にゲート電極の端部が形成される半導体装置をフォトリソグラフィを用いて製造する方法において、マスク上の前記ゲート電極の端部に対応する部分のチャネル方向の幅が、活性領域上に位置するゲート電極のチャネル方向の幅を超えた大きさにレイアウトされたマスクを用いて露光する工程を含むことを特徴とする。



【特許請求の範囲】

【請求項1】 素子分離領域上にゲート電極の端部が形成される半導体装置をリソグラフィにより製造する方法において、マスク上の前記ゲート電極の端部に対応する部分のチャネル方向の幅が、活性領域上に位置するゲート電極のチャネル方向の幅を越えた大きさにレイアウトされたマスクを用いて露光する工程を含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記マスク上のゲート電極の端部に対応する部分のチャネル方向の幅を、主パターンに適応して形成されたダミーパターン部により実現したことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記マスク上のゲート電極の端部に対応する部分のチャネル方向の幅を、主パターンから独立したダミーパターン部により実現したことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】 前記ゲート電極の端部に対応する部分のチャネル方向の幅を、活性領域上に位置するゲート電極のチャネル方向の幅の1/10以上の割合としたことを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項5】 前記ダミーパターン部を多角形で構成するとともにチャネル方向に平行な長さを、活性領域上に位置するゲート電極のチャネル方向の幅の1/10以上としたことを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項6】 請求項1乃至請求項5のいずれかの方法において、角度が約270°のコーナー部を有する素子分離領域の前記コーナー部の近傍にゲート電極の端部を形成することを特徴とする半導体装置の製造方法。

【請求項7】 請求項1乃至請求項6のいずれかの方法において、前記ゲート電極の端部の先端近傍に別の電極パターンを形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、リソグラフィ技術により半導体装置を製造する方法に関する。

【0002】

【従来の技術】近年、集積回路を構成しているMOSトランジスタの微細化が進み、いわゆるディープサブミクロンの世代に入ろうとしており、ゲート長が0.5~0.35μmを下回るトランジスタが実現されようとしている。しかしながら、このディープサブミクロン世代では、従来より用いられている1線(365nm)ステップによるリソグラフィ技術が限界に近づくため、例えば、図7に示すごとく、ゲート電極1の端部でコーナーが丸まったり、端部の仕上がり形状が、ゲート電極1のレイアウト形状(図中点線で示す)から大きく後退する現象が生じる。特に、ゲート電極1の端部が素子分離領域2上にある場合には、活性領域上のゲート電極部分よ

りもレジストが薄くなるため、ゲート電極1の端部の仕上がり形状が悪くなる。

【0003】更に、例えば、図8に示すように、活性領域3のコーナー部近傍にゲート電極1の端部が存在する場合においては、上記ゲート電極1の端部の丸まり或いは縮りに加えて、活性領域3のコーナー部の仕上がり形状の丸まりや、アライメントずれが起こると、ソース/ドレイン間でショートに近いリークが発生することもある。

【0004】このような種々の問題点が指摘されるなか、露光技術系、レジスト、マスク技術、或いはマスクパターン設計技術等の改良により、上記問題点の解決が試みられている。

【0005】

【発明が解決しようとする課題】例えば、「サイエンスフォーラム最新版超LSIプロセスデータハンドブック」、1994年3月、P121には、KrFレーザやArFレーザなどを光源として用いたエキシマレーザリソグラフィや、EB(電子線)直接描画技術、或いはX線リソグラフィ技術が提案されている。

【0006】しかし、かかる技術は、未解決の問題が数多くあり、1線ステップに取って代わる技術に成長するまでには、更に研究が必要である。

【0007】また、「日経マイクロデバイス1992年4月号、P22」には、サブハーフミクロン世代まで1線ステップで乗り切るための技術として、変形照射法等の露光技術的分析、感光剤の新たな材料設計等にかかるレジスト技術、或いは位相シフトマスク等のマスク技術等を向上させる技術が提案されている。

【0008】しかし、かかる技術では、コストの増大やスループットの低下、或いは効果のパターン依存性等の幾つかの問題点を有しており、前述のゲート電極端部の丸まり或いは縮りの問題を簡単且つ確実に解決することができない。

【0009】また、「第53回応用物理学会学術講演会論文集第16P-L-10、1992年秋季、P477」には、マスク上のパターン設計技術で基解像度を実現する試みが提案されている。この試みは、デバイスパターンを与えると光强度分布が最適化されるようにマスクパターンを自動発生させるものであり、この自動発生は光强度分布のシミュレータと最適化アルゴリズムを組み合わせて実現している。図9(a)は一般的なマスクパターン例であり、これに対して上記方法で最適化設計されたマスクパターンは、同図(b)に示すようになる。

【0010】しかし、かかる技術は、集積回路の設計に際して一々前記プログラムによって様々なパターンの最適化を行わなければならない。また、最適化設計されたパターンは非常に複雑であり、レイアウト作業が複雑になる。従って、実際のLSI設計作業に利用すると、ス

ルーブットの大輔な低下を伴うことが懸念され、更なる工夫が必要である。

【0011】本発明は、上記の事情に鑑み、リソグラフィ、露光照明系、レジスト、マスク技術、或いはマスクパターン設計技術によらずに、簡易且つ効果的にゲート電極端部の丸まりや細りを抑制し、微細化および高信頃性が実現できる半導体装置の製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明の半導体装置の製造方法は、素子分離領域上にゲート電極の端部が形成される半導体基板をリソグラフィにより露光する方法において、マスク上の前記ゲート電極の端部に対応する部分のチャネル方向の幅が、活性領域上に位置するゲート電極のチャネル方向の幅を越えた大きさにレイアウトされたマスクを用いて露光する工程を含むことを特徴とする。

【0013】前記マスク上のゲート電極の端部に対応する部分のチャネル方向の拡幅を、主パターンに連続して形成された拡張パターン部により実現してもよく、この場合に、活性領域上に位置するゲート電極のチャネル方向の幅の1/10以上の割合としてもよい。また、前記マスク上のゲート電極の端部に対応する部分のチャネル方向の拡幅を、主パターンから独立したダミーパターン部により実現してもよく、この場合に、前記ダミーパターン部を多角形で構成するとともにチャネル方向に平行な長さを、活性領域上に位置するゲート電極のチャネル方向の幅の1/10以上としてもよい。

【0014】また、上記の方法において、角度が略270°のコーナー部を有する素子分離領域の前記コーナー部の近傍にゲート電極の端部を形成してもよく、また、前記ゲート電極の端部の先端近傍に別のゲート電極を形成してもよい。

【0015】上記の構成によれば、マスク上のゲート電極の端部に対応する部分がチャネル方向に拡幅されたマスクを用いて半導体装置を製造するので、ゲート電極の端部に対応する部分の縮りにおいて、必要な光強度分布を確保してゲート電極の端部の丸まりを回避できるとともに、当該端部の仕上がりがゲート電極のレイアウト形状から大きく後退する現象を防止することができる。特に、ゲート電極の端部の縮りに加えてアライメントずれが生じたときのショートといった問題も回避することができる。しかも、露光照明系、レジスト、マスク技術、或いはマスクパターン設計技術等といった複雑な手法を伴わないので、半導体装置の製造が簡素化することもない。

【0016】

【発明の実施の形態】以下、本発明の実施の形態を図に基づいて説明する。

【0017】(実施の形態1) 本発明の半導体装置の製造方法は、素子分離領域上にゲート電極の端部が形成される半導体装置をフォトリソグラフィを用いて製造する方法であって、以下の図1等に示すように、マスク上のゲート電極の端部に対応する部分のチャネル方向の幅が、活性領域上に位置するゲート電極のチャネル方向の幅を越えた大きさにレイアウトされたマスクを用いて露光する工程を含む方法である。

【0018】図1(a)は本発明の半導体装置の製造方法で用いるマスクのパターンAを示しており、同図

(b)は上記マスクパターンAを用いた場合のシミュレーションによる光強度分布を示している。上記図1

(a)のパターンAは、マスク上のゲート電極1の端部に対応する部分のチャネル方向の初期を、主パターン7aに連続して形成された拡張パターン部7b, 7bにより実現したものである。この拡張パターン部7b, 7bは、正方形状を成すとともに、当該正方形状の辺にて主パターン7aの端部の角部にそれぞれ連続して形成されている。

【0019】図2(a)は、本発明の半導体装置の製造方法で用いるパターンの他のパターンAを示しており、同図(b)は上記マスクパターンAを用いた場合のシミュレーションによる光強度分布を示している。上記図2(a)のパターンAは、図1(a)と同様に、拡張部を主パターン7aに連続して形成された拡張パターン部7cにより実現したものである。この拡張パターン部7cは、方形状を成すとともに、当該方形状の辺にて主パターン7aの端部の辺に連続して形成されている。拡張パターン7cのチャネル方向の辺の長さは、活性領域3上に位置するゲート電極1のチャネル方向の幅の1/10以上大きくしてある。従って、例えば、ゲート長が0.5μm程度であれば、拡幅は0.05μm以上で行う。

【0020】図3(a)は、本発明の半導体装置の製造方法で用いるマスクの他のパターンAを示しており、同図(b)は上記マスクパターンAを用いた場合のシミュレーションによる光強度分布を示している。上記図3(a)のパターンAは、図1(a)と同様に、主パターン7aに連続して形成された拡張パターン部7d, 7dにより実現したものである。この拡張パターン部7d, 7dは、正方形状を成すとともに、当該正方形状の角部にて主パターン7aの端部の角部にそれぞれ連続して形成されている。

【0021】図1(b)乃至図3(b)の光強度分布から明らかのように、上記いずれのマスクパターンAにおいても、ゲート電極1の端部に対応する部分の光強度変化が抑制され、ゲート電極1の端部の丸まりを抑制できることともに、当該端部の仕上がりがゲート電極1のレイ

アワト形状から大きく後退する現象を防止することができる。なお、比較のため、従来のパターンによる光強度分布を図10に示した。なお、これらの図において、縦軸の一目盛りは0.5μm、横軸の一目盛りは0.1μmである。

【0022】図4(a)乃至図4(c)は、マスク上のゲート電極1の端部に対応する部分のチャネル方向の拡幅を、主パターン8aから独立したダミーパターン部8b(8c, 8d)により実現したマスクパターン8を示している。なお、図中の点線は、各マスクパターン8によるゲート電極1の仕上がり形状を示している。

【0023】図4(a)では、ダミーパターン部8b, 8cは、正方形状を成すとともに、当該正方形状の一辺を主パターン8aの端部の角部に近接して形成されている。同図(c)では、ダミーパターン8d, 8dは、長方形状を成すとともに、当該長方形状の最辺を主パターン8aの端部の両端に近接して形成されている。同図(c)では、ダミーパターン8d, 8dは、正方形状を成すとともに、当該正方形状の一辺を主パターン8aの端部の角部に近接して形成されている。

【0024】このように、前記マスク上のゲート電極の端部に対応する部分のチャネル方向の拡幅を、主パターン8aから独立したダミーパターン部8b(8c, 8d)により実現したマスクを用いる場合も、前記実施の形態と同様、ゲート電極1の端部に対応する部分の光強度変化が弱められ、ゲート電極1の端部の丸まりを抑制できるとともに、当該端部の仕上がりがゲート電極1のレイアウト形状から大きく後退する現象を防止することができる。

【0025】勿論、以上示したパターンに限られるものではなく、拡張パターン部やダミーパターン部の形状、位置、又は数量等は、ゲート電極端部の仕上がりの丸まりや細りを抑制できるものであれば、上記パターン例と異なるものであっても差し支えない。また、拡張パターンやダミーパターンはゲート電極端部の一方(片側)のコーナー部のみに配置されても差し支えない。

【0026】ここで、前記拡張パターン部7d, 7dの主パターン7aからの出張り量、及び、ダミーパターン部8b(8c, 8d)のチャネル方向の幅は、活性領域3上に位置するゲート電極1のチャネル方向の幅の1/10以上で、周辺パターンの仕上がり形状に影響を与えない程度の大きさとした。前記1/10以上としたのは、ゲート電極1のチャネル方向の幅は現界解像度に制約され、この現界解像度を大幅に下回る寸法で前記拡張パターン部やダミーパターン部を形成したとしても、マスク作成の際のコスト増大を招くだけで、当該パターン部形成の効果はさほど期待できないからである。

【0027】また、通常用いられるリソグラフィ技術は、1線ステップ法による5倍レティクル(マスク)縮小露光であり、最小ゲート長が0.5μmを下回るディー

プサブミクロン世代以降は、1線リソグラフィ技術は限界にきているといわれながらもサブハーフミクロン世代まで用いる可能性は存在する。そして、レティクルのパターンニングはEB著しくはレーザによる直接描画で行っている。レイアウト上の最小グリッドが0.05μmとすれば、レティクル上の最小グリッドは0.25μmである。EBの直接描画技術によれば更に10分の1程度の解像度を実現できるが、最小グリッドを0.25μmより小さくすることは、レティクル作製コストが増大すること、及び1線ステップの解像度が追いつけないこと等によりあまり意味がない。従って、既存技術を利用して量産性を確保することを考えた場合には、前記拡張パターン部やダミーパターン部のレイアウトに際してはレイアウト上の最小グリッドである0.05μm程度以上の寸法が理想的である。

【0028】なお、前記マスク上のゲート電極の端部に対応する部分のチャネル方向の拡幅を、活性領域3上に位置するゲート電極1のチャネル方向の幅の1/10以上と説明したが、これはレイアウト上の寸法であるから、マスク上の寸法の場合は、前記絶小系ステップにおける5倍レティクル上では、5倍の寸法を用いることになる。

【0029】(実施の形態2) 次に、本発明の他の実施の形態について説明する。

【0030】この実施の形態の半導体装置の製造方法は、素子分割領域2の角度が270°のコーナー部の近傍にゲート電極1の端部を形成する方法において、前記実施の形態1で説明したマスクを用いる方法である。即ち、図5(a)に示すように、マスク上の前記ゲート電極1の端部に対応する部分のチャネル方向の幅が、活性領域3上に位置するゲート電極のチャネル方向の幅を越えた大きさにレイアウトされたマスクを用いる。

【0031】同図(b)は、上記マスクを用いてゲート電極1を形成したときの仕上がり形状を示している。この図から分かるように、ゲート電極1の端部の丸まりが抑制されるとともに、当該端部の仕上がりがゲート電極1のレイアウト形状から大きく後退する現象が防止されるので、図示しないソース/ドレイン間のショートの危険性が回避されることになる。

【0032】(実施の形態3) 次に、本発明の他の実施の形態について説明する。

【0033】本実施例の半導体装置の製造方法は、前記ゲート電極1の端部の先端近傍に別のゲート電極1'を形成する方法において、前記実施の形態1又は実施の形態2で説明したマスクを用いる方法である。即ち、図6(a)に示すように、マスク上の前記ゲート電極1の端部に対応する部分のチャネル方向の幅が、活性領域3上に位置するゲート電極1のチャネル方向の幅を越えた大きさにレイアウトされたマスクを用いる。

【0034】同図(b)は、上記マスクを用いてゲート

電極1を形成したときの仕上がり形状を示している。ゲート電極1の端部に別のゲート電極1'が存在する場合、即ち、電極パターンが空接形成される場合に、この空接したパターン間ににおいて特に顕著にゲート電極1の端部の丸まりや後退現象が変れるが、この実施の形態の方法であれば、このような場合でも、前記図(b)に示したように、ゲート電極1の端部の丸まりや後退現象が抑制されることになる。なお、この実施の形態では、簡便のため、“1'”をゲート電極と表現したが、ゲート電極材料（例えば、ポリシリコン）は西線としても使用されることがあるが、“1'”の使用形態は何であってもよい。

【0035】なお、種々のパターンを検証した結果、図1(a)のパターンは、ゲート電極の仕上がり形状に与える歪みの影響が少ないという利点が得られるが、上述した実施の形態2及び実施の形態3の方法においては、確実にゲート電極端部の繰りを抑制したいという要請が高く、この要請に確実に応えるためには、主パターンの角部を拡張するのではなく、図2(a)のように、主パターンの端部全体を拡張するようなパターンのマスクを用いるのが最も効果的であった。

【0036】ところで、ホールを形成するためのマスク上のレイアウトについては、「第54回応用物理学会学術講演会講演予稿集27a-SHF-21, 1993年秋季, P552」において、従来パターンの四隅に補助パターンを附加することで、仕上がり形状の補正を行い、実用解像限界を向上させる技術がなされている。しかししながら、この提案は、その目的がコーナー部の曲率を削除することにあるのに対し、本発明は、上記図2(a)に示した主パターンの端部全体を拡張するマスクレイアウトからも分かるように、コーナー部の曲率や歪みを削除するのではなく、ゲート電極端部の仕上がりが繰る分当該端部のレイアウトをチャネル方向に太らせるものである点で前記提案と相違するものである。

【0037】なお、前記提案の場合、レイアウトに近い形状を得るためにホール径、ホール間スペース、或いは下地段差によって補助パターンの大きさや配置等を最適化しなければならず、業務面を設計する際の作業を煩雑にし、スループットを低下させるが、本発明は、ゲート電極端部の丸まりや繰りを抑制するものであり、コーナー部の曲率は重要ではないから、並張パターン部やダミーパターン部の大きさや配置にはかなりのマージンがあり、厳密な最適化は必要なく、設計作業を煩雑にしたりスループットを低下させることがない。

【0038】また、本発明は、量子分離のための厚い絶縁膜（例えば、LOCOS法で形成したいわゆるフィールド強化膜）上にゲート電極端部が乗り上げている半導体装置を製造する方法であり、厚い絶縁膜上は、段差の影響により活性領域と比べてレジスト膜厚が薄くなり、ゲート電極の仕上がりが特に繰りやすい。この現象は本

來的には解像度や近接効果とは独立したものであるが、微細化が進むにつれて現れるものであり、本発明はこれに着目して、量子分離膜上にゲート電極の端部が形成される半導体装置をフォトリソグラフィを用いて製造する方法において、前記図1(a)等で示したマスクを用いたのであり、その効果は極めて大きいといえる。

【0039】なお、半導体装置としては、MOSトランジスタに限らず、MIS(Metal Insulator Semiconductor)、SOS(Silicon on Sapphire)、SOI(Silicon on Insulator)、TFT(Thin Film Transistor)等、ゲート電極を有し、マスクを用いてリソグラフィ工程によって該ゲート電極のパターンングを行うあらゆる種類の絶縁ゲート型トランジスタに適用できる。また、ゲート電極材料としては、ポリシリコンに限られないとすることは勿論である。

【0040】
【発明の効果】以上のように、本発明によれば、ゲート電極の端部に対する部分の露光において、必要な光强度分布を確保してゲート電極の端部の丸まりを回避できるとともに、当該端部の仕上がりがゲート電極のレイアウト形状から大きく後退する現象を防止することができる。

【0041】特に、ゲート電極の端部量子分離膜上にあるときには、活性膜上のゲート電極部分よりもレジストが悪くなり、仕上がり形状が悪くなる現象が見られがちとなるが、本方法であれば、このような場合にもゲート電極の端部の繰りを防止できる。また、ゲート電極端部の繰りに加えてアライメントズレが生じたときのショートといった問題も回避することができる。しかも、露光装置系、レジスト、マスク技術、或いはマスクパターン設計技術等といった複雑な手法を伴わないわけで、半導体装置の製造が複雑化しないという優れた効果を奏する。

【図面の簡単な説明】

【図1】同図(a)は、本発明の半導体装置の製造方法に用いるマスクのパターンを示す説明であり、同図(b)は当該パターンによる光强度分布図である。

【図2】同図(a)は、本発明の半導体装置の製造方法に用いるマスクの他のパターンを示す説明であり、同図(b)は当該パターンによる光强度分布図である。

【図3】同図(a)は、本発明の半導体装置の製造方法に用いるマスクの他のパターンを示す説明であり、同図(b)は当該パターンによる光强度分布図である。

【図4】同図(a)乃至同図(c)は、本発明の半導体装置の製造方法に用いるマスクの他のパターン及びゲート電極の仕上がり形状を示す説明図である。

【図5】同図(a)は本発明の半導体装置の製造方法の他の実施の形態におけるマスクパターン及び量子分離膜との位置関係を示す説明図であり、同図(b)は当該

パターンによるゲート電極の仕上がり形状を示す説明図である。

【図6】同図(a)は本発明の半導体装置の製造方法の他の実施の形態におけるマスクパターン及び電子分離領域との位置関係を示す説明図であり、同図(b)は当該パターンによるゲート電極の仕上がり形状を示す説明図である。

【図7】従来の半導体装置の製造方法におけるマスクパターン及びゲート電極の仕上がり形状を示す説明図である。

【図8】従来の半導体装置の製造方法におけるマスクパターン及びゲート電極の仕上がり形状の他の例を示す説明図である。

【図9】同図(a)は一般的なマスクパターン例を示す説明図であり、同図(b)は従来法により最適化設計されたマスクパターンを示す説明図である。

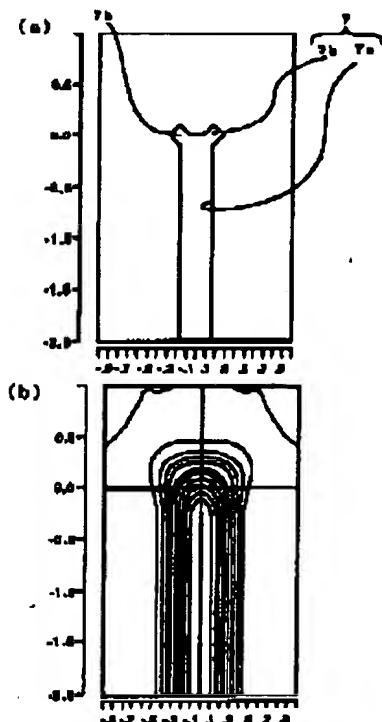
【図10】従来のマスクパターンによる表面電荷分布図で

ある。

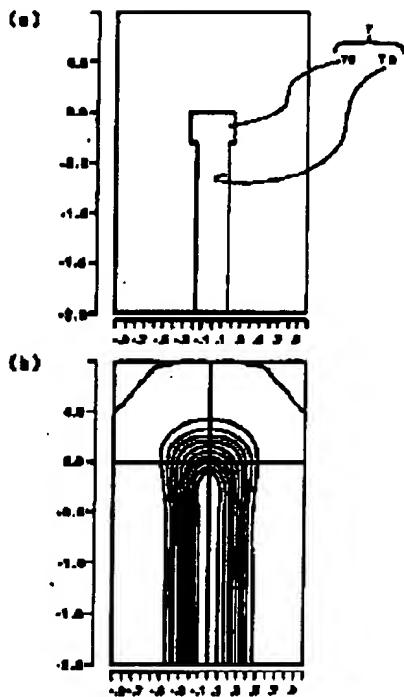
【符号の説明】

- 1 ゲート電極
- 1' 他のゲート電極
- 2 電子分離領域
- 3 活性領域
- 7 マスクパターン
- 7a 主パターン部
- 7b 拡張パターン部
- 7c 拡張パターン部
- 7d 拡張パターン部
- 8 マスクパターン
- 8a 主パターン部
- 8b ダミーパターン部
- 8c ダミーパターン部
- 8d ダミーパターン部

【図1】



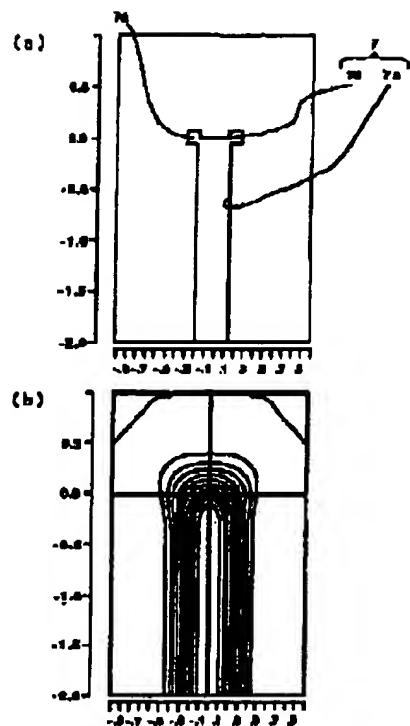
【図2】



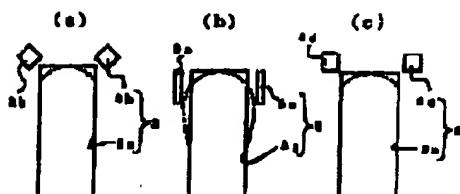
【図7】



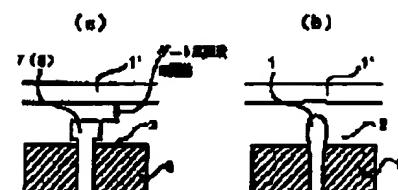
【図3】



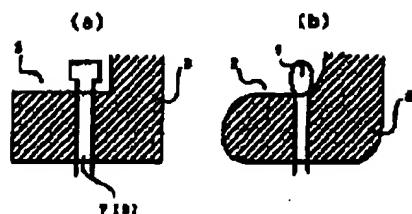
【図4】



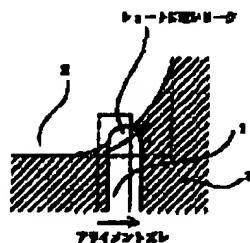
【図6】



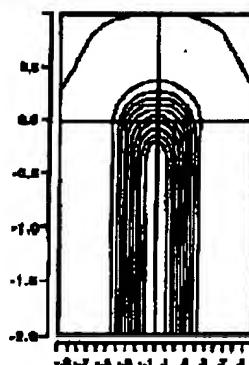
【図5】



【図8】



【図10】



【図9】

